

JAPANESE

[JP,2001-284587,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device characterized by providing the following The 1st semiconductor region The 2nd semiconductor region of the 1st conductivity type with high impurity concentration it is formed in one principal plane of this 1st semiconductor region, and lower than said 1st semiconductor region The 3rd semiconductor region of the 2nd conductivity type formed on this 2nd semiconductor region The 4th semiconductor region of the 1st conductivity type with high impurity concentration it is formed in a surface field of this 3rd semiconductor region, and higher than said 2nd semiconductor region, Two or more slots for the trench gates formed by having the depth which penetrates said 4th and 3rd semiconductor regions, and arrives at said 2nd semiconductor region, A gate electrode which comes to embed a low melting point metal in said slot for the trench gates through a gate insulator layer formed in accordance with an inside of each of said slot for the trench gates, and this gate insulator layer

[Claim 2] Said 1st semiconductor region is a semiconductor device according to claim 1 characterized by consisting of a semiconductor region of the 1st conductivity type.

[Claim 3] Said 1st semiconductor region is a semiconductor device according to claim 1 characterized by consisting of a semiconductor region of the 2nd conductivity type.

[Claim 4] A semiconductor device according to claim 1 characterized by coming further to provide a slot for trench contact corresponding to said gate inter-electrode formed by having the depth which penetrates said 4th semiconductor region and arrives at said 3rd semiconductor region, and a contact electrode embedded in this slot for trench contact.

[Claim 5] A semiconductor device according to claim 1 characterized by coming to prepare a dummy electrode material between said gate insulator layers and said gate electrodes at least.

[Claim 6] A semiconductor device according to claim 1 characterized by using a tungsten film, an aluminum film, or a kappa film for said low melting point metal.

[Claim 7] It is the semiconductor device according to claim 5 characterized by using polish recon or a SiN film as said dummy electrode material.

[Claim 8] A manufacture method of a semiconductor device characterized by coming to have a production process which embeds a dummy electrode material through a gate insulator layer in a trench, a production process which removes said dummy electrode material embedded in said trench after performing elevated-temperature heat treatment, and a production process which embeds a low melting point metal and forms a gate electrode in said trench from which said dummy electrode material was removed.

[Claim 9] A manufacture method of a semiconductor device characterized by providing the following The 2nd semiconductor region of the 1st conductivity type with high impurity concentration lower than said 1st semiconductor region is formed in one principal plane of the 1st semiconductor region. The 3rd semiconductor region of the 2nd conductivity type is formed on this 2nd semiconductor region. As opposed to a substrate with which it comes to form the 4th semiconductor region of the 1st conductivity type with high impurity concentration higher than said 2nd semiconductor region in a surface field of this 3rd semiconductor region A production process which penetrates said 4th and 3rd semiconductor regions, has the depth which arrives at said 2nd semiconductor region, and forms two or more slots for the trench gates A production process which embeds a dummy electrode material in said slot for the trench gates through a gate insulator layer formed in accordance with an inside of each of said slot for the trench gates A production process which performs elevated-temperature heat treatment to said substrate A production process which removes said dummy electrode material embedded in said slot for the trench gates, and a production process which embeds a low melting point metal and forms a gate electrode in said slot for the trench gates where said dummy electrode material was removed

[Claim 10] A production process which forms the 5th semiconductor region of the 2nd conductivity type with high impurity concentration higher than said 3rd semiconductor region in said 3rd semiconductor region before a production process which forms said slot for the trench gates, A production process which penetrates said 4th semiconductor region, has the depth which arrives at said 5th semiconductor region in said 3rd semiconductor region, and forms a slot for trench contact, A manufacture method of a semiconductor device according to claim 9 characterized by coming further to provide a production process which embeds said low melting point metal and forms a contact electrode in this slot for trench contact.

[Claim 11] A production process which forms said slot for trench contact is the manufacture method of a semiconductor device according to claim 10 characterized by being carried out to a production process which removes said dummy electrode material embedded in said slot for the trench gates, and coincidence to said gate inter-electrode.

[Claim 12] It is the manufacture method of a semiconductor device according to claim 10 which is further

equipped with a production process which forms a barrier metal film before embedding said low melting point metal in said slot for trench contact, and said slot for the trench gates, and is characterized by performing embedding of said low melting point metal to coincidence to the inside of said slot for trench contact, and said slot for the trench gates.

[Claim 13] A manufacture method of a semiconductor device according to claim 8 or 9 characterized by using a tungsten film, an aluminum film, or a kappa film for said low melting point metal.

[Claim 14] It is the manufacture method of a semiconductor device given in either of claims 8 or 9 characterized by using polish recon or a SiN film as said dummy electrode material.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the trench gate mold MOSFET of the third generation (U-MOSFET), and the trench gate mold IGBT (U-IGBT) especially about a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] In recent years, as for power metal-oxide semiconductor field effect transistor, the further miniaturization, energy saving, low-pricing, etc. are called for from the commercial scene. Since it corresponds to such a demand, development of U-MOSFET of the third generation is performed.

[0003] In U-MOSFET of this third generation, research which aims at improvement in the switching characteristic by reduction of gate resistance is advanced by replacing with contest phosphorus dope polysilicon used from the former, and using metal for the electrode material of the trench gate.

[0004] Drawing 6 shows the case where a tungsten (W) is used to an example, as an electrode material of the trench gate of U-MOSFET.

[0005] As shown in drawing 6 (a) in this case, the gate trench 102,102 is formed in the main surface of the semiconductor substrate 101. The above-mentioned substrate 101 is n+. It is n on silicon substrate 101a of a mold. - Epitaxial layer 101b of a mold is formed and it has the structure where p mold impurity range (p base region) 101c and 101d (n+ source field) of n+ mold impurity ranges were established in this epitaxial layer 101b.

[0006] The above-mentioned gate trench 102,102 is formed in the depth which reaches epitaxial layer 101b from the main surface of the above-mentioned substrate 101. Gate oxide 103,103 is formed in the surface of the above-mentioned substrate 101 in the above-mentioned gate trench 102,102, and the trench gate electrode (tungsten gate) 104,104 which consists of a tungsten film is embedded in the above-mentioned gate trench 102,102 through these gate oxide 103,103 (necessity is accepted and they are (Titanium Ti) film / titanium night RAIDO (TiN) film further).

[0007] However, a tungsten film has the property in which a grain changes, by applying heat, as shown in drawing 7.

[0008] Drawing 8 is 900 degrees C in temperature, and shows the stress heat history at the time of heating a tungsten film (stress measurement result) for 30 minutes.

[0009] Thus, membranous stress changes with heating and, as for a tungsten film, it turns out that it contracts (even if temperature falls, it does not return to the original condition).

[0010] Therefore, when the present manufacture process of using contest phosphorus dope polysilicon (membrane formation temperature of 560 degrees C) for the electrode material of the trench gate tends to be applied for example, and it is going to form the tungsten gate 104,104, a tungsten film will also receive in ** the effect depended like heat processes, such as getter processing (900-950 degrees C).

[0011] A tungsten film contracts, a crevice 105 is produced in the gate trench 102,102, or a stress difference with the UDO (Un Doped Oxide) film used as the interlayer insulation film which is not illustrated becomes large, and a tungsten film separates so that it may be shown as a result (b), for example, drawing 6

[0012] That is, in the present manufacture process, in order to perform getter processing etc. after embedding a tungsten film, as a result of surely performing an elevated-temperature heat treatment process 800 degrees C or more to a tungsten film, problems, like a crevice is made were in the interior of a trench.

[0013]

[Problem(s) to be Solved by the Invention] Although gate resistance could be reduced and improvement in a switching characteristic could be aimed at by using metal for the electrode material of the trench gate in the former as described above, the tungsten film had the problem of a crevice occurring in the gate trench, when it was going to apply the present manufacture process, in order to contract, if heat is applied.

[0014] Then, suppressing generating of a crevice etc., it can reduce gate resistance and this invention aims at offering the semiconductor device which can aim at improvement in a switching characteristic, and its manufacture method.

[0015]

[Means for Solving the Problem] If it is in a semiconductor device of this invention in order to attain the above-mentioned purpose The 1st semiconductor region and the 2nd semiconductor region of the 1st conductivity type with high impurity concentration it is formed in one principal plane of this 1st semiconductor region, and lower than said 1st semiconductor region, The 3rd semiconductor region of the

2nd conductivity type formed on this 2nd semiconductor region, The 4th semiconductor region of the 1st conductivity type with high impurity concentration it is formed in a surface field of this 3rd semiconductor region, and higher than said 2nd semiconductor region, Two or more slots for the trench gates formed by having the depth which penetrates said 4th and 3rd semiconductor regions, and arrives at said 2nd semiconductor region, It is characterized by coming to provide a gate insulator layer formed in accordance with an inside of each of said slot for the trench gates, and a gate electrode which comes to embed a low melting point metal in said slot for the trench gates through this gate insulator layer.

[0016] Moreover, it is characterized by coming to have a production process which embeds a dummy electrode material through a gate insulator layer in a trench if it is in a manufacture method of a semiconductor device this invention, a production process which removes said dummy electrode material embedded in said trench after performing elevated-temperature heat treatment, and a production process which embeds a low melting point metal and forms a gate electrode in said trench from which said dummy electrode material was removed.

[0017] Furthermore, if it is in a manufacture method of a semiconductor device this invention The 2nd semiconductor region of the 1st conductivity type with high impurity concentration lower than said 1st semiconductor region is formed in one principal plane of the 1st semiconductor region. The 3rd semiconductor region of the 2nd conductivity type is formed on this 2nd semiconductor region. As opposed to a substrate with which it comes to form the 4th semiconductor region of the 1st conductivity type with high impurity concentration higher than said 2nd semiconductor region in a surface field of this 3rd semiconductor region A production process which penetrates said 4th and 3rd semiconductor regions, has the depth which arrives at said 2nd semiconductor region, and forms two or more slots for the trench gates, A gate insulator layer formed in accordance with an inside of each of said slot for the trench gates is minded. A production process which embeds a dummy electrode material in said slot for the trench gates, and a production process which performs elevated-temperature heat treatment to said substrate, It is characterized by coming to have a production process which removes said dummy electrode material embedded in said slot for the trench gates, and a production process which embeds a low melting point metal and forms a gate electrode in said slot for the trench gates where said dummy electrode material was removed.

[0018] According to a semiconductor device and its manufacture method of this invention, it can avoid now like a heat process after embedding a low melting point metal. It enables this to prevent a low melting point metal contracting.

[0019]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing.

[0020] Drawing 1 shows the example of a configuration of the trench gate mold MOSFET of the third generation concerning 1 operation gestalt of this invention (U-MOSFET). In addition, the outline plan which this drawing (a) sees through a gate trench and is shown, the outline cross section where this drawing (b) meets the b-b line of drawing (a), and this drawing (c) are outline cross sections which meet the c-c line of drawing (a).

[0021] This U-MOSFET has the gate trenches (slot for the trench gates) 12 and 12, --, the above-mentioned gate trenches 12 and 12 and the trench gate structure where the gate insulator layer and the gate electrode material (tungsten film) were embedded and formed in --, on the main surface of the semiconductor substrate 11 by forming the contact trench (slot for trench contact) 13 and the trenches 14 and 14 for drawers of the gate of a gate direct contact configuration, and --.

[0022] The above-mentioned substrate 11 is n+. It is n on silicon substrate (1st semiconductor region of 1st conductivity type) 11a of a mold. - Epitaxial layer (2nd semiconductor region of 1st conductivity type) 11b of a mold is formed. p mold impurity range (3rd semiconductor region of 2nd conductivity type) 11c and n+ which become p base region at this epitaxial layer 11b n+ used as a source field It has the structure where 11d (the 4th semiconductor region of the 1st conductivity type) of mold impurity ranges was formed. The above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, and -- are formed in the depth which reaches the above-mentioned epitaxial layer 11b.

[0023] Gate oxide (gate insulator layer) 15 and 15 and -- are formed in the surface of the above-mentioned substrate 11 in the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, and --. Moreover, these gate oxide 15 and 15 and -- are minded, and it is polish recon () in the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, and --. Or the dummy electrodes 16 and 16 which consist of a silicon nitride (SiN) film, --, The barrier metal films 17 and 17 which consist of a TiN film, -- and the trench gate electrodes (gate drawer electrode) 18 and 18 as the tungsten gate which consists of a tungsten (low melting point metal) film, and -- are embedded.

[0024] The above-mentioned contact trench 13 is above-mentioned n+ between the above-mentioned gate trenches 12 and 12 and --. 11d of mold impurity ranges is penetrated, and it is formed in the depth which reaches the above-mentioned p mold impurity range 11c. In this contact trench 13, the contact electrode 19 which consists of a barrier metal film 17 which consists of a TiN film, and a tungsten (W) film is embedded. Moreover, p+ for reducing contact resistance near the pars basilaris ossis occipitalis of this contact trench 13 The mold impurity range (the 5th semiconductor region of the 2nd conductivity type) 20 is formed.

[0025] In addition, for convenience, although the above-mentioned contact trench 13 shows only one to the

drawing, it is formed, respectively in two or more contact trenches 13 and 13 and the field where -- was inserted by each gate trenches 12 and 12 and --, for example.

[0026] On the surface of the above-mentioned substrate 11, the UDO film 21 as an interlayer insulation film is formed through the above-mentioned gate oxide 15. Moreover, the UDO film 22 as an interlayer insulation film is further formed in each upper part of the above-mentioned gate trenches 12 and 12 including the upper surface of this UDO film 21, --, the above-mentioned contact trench 13 and the above-mentioned trenches 14 and 14 for gate drawers, and --.

[0027] And the source electrode (the 1st electrode) 23 which is connected, for example, turns into the above-mentioned contact electrode 19 from an aluminum (aluminum) layer is formed on the above-mentioned UDO film 22, and this source electrode 23 is above-mentioned p+. It connects with the above-mentioned p mold impurity range 11c electrically through the mold impurity range 20.

[0028] Moreover, the gate electrode 24 which is connected, for example, becomes the above-mentioned gate drawer electrodes 18 and 18 and -- from aluminum layer is formed on the above-mentioned UDO film 22, and this gate electrode 24 is electrically connected with the above-mentioned trench gate electrodes 18 and 18 and -- through the above-mentioned gate drawer electrodes 18 and 18 and --.

[0029] On the other hand, the drain electrode (the 2nd electrode) 25 is formed in the rear-face side of the above-mentioned silicon substrate 11a.

[0030] In this U-MOSFET which adopted the tungsten gate as the trench gate, compared with U-MOSFET using the conventional polish recon, gate resistance could be reduced about to 1/5, and the switching characteristic (T_{off}) improved about 30%.

[0031] Next, with reference to drawing 2 - drawing 5, the manufacture method of U-MOSFET a configuration of having been shown in above-mentioned drawing 1 is explained. In addition, drawing 2 - drawing 5 are the cross sections showing the manufacturing process of U-MOSFET corresponding to drawing 1 (c), respectively.

[0032] First, it is n+ as shown in drawing 2 (a). It is n on silicon substrate 11a of a mold. - The substrate with which epitaxial layer 11b of a mold was formed is prepared, after forming the guard ring GR which is not illustrated to this substrate, the ion implantation of p mold impurity is performed and p mold impurity range 11c is formed.

[0033] Subsequently, after forming EQPR (Equivalent Potential Ring) which is not illustrated, the ion implantation of n mold impurity is further performed to the above-mentioned p mold impurity range 11c, and it is n+. 11d of mold impurity ranges is formed, and let this be the semiconductor substrate 11.

[0034] And it is [as opposed to / as shown in drawing 2 (b) / this semiconductor substrate 11] p+. Form. the mask (not shown) for forming the mold impurity range 20, and it anneals by performing the ion implantation of p mold impurity in the above-mentioned p mold impurity range 11c, and is p+. The mold impurity range 20 is formed.

[0035] next, it is shown in drawing 2 (c) -- as -- RIE (Reactive Ion Etching) -- the gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the gate which is not illustrated, and -- are formed in the main surface of the above-mentioned semiconductor substrate 11 by law etc. The trenches 14 and 14 for drawers of the above-mentioned gate trenches 12 and 12, --, the above-mentioned gate at this time and the depth of -- are n+. 11d of mold impurity ranges and p mold impurity range 11c are penetrated, and it considers as the depth which reaches epitaxial layer 11b.

[0036] Subsequently, after oxidizing thermally the inside of the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, and -- and forming gate oxide 15 and 15 and --, a polish recon layer is formed in the whole surface.

[0037] And carry out etchback of this polish recon layer by the RIE method etc., it is made to remain only in the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, and --, and the dummy electrodes 16 and 16 and -- are formed.

[0038] then, it is shown in drawing 3 (a) -- as -- CVD (Chemical Vapor Deposition) -- the UDO film 21, and a BPSG (Boron-doped Phospho-Silicate Glass) film / PSG (Phospho-Silicate Glass) film (neither is illustrated) are formed in the whole surface by law etc.

[0039] Subsequently, heat treatment for a getter (getter processing) is performed at the temperature of 900-950 degrees C.

[0040] Next, on this UDO film 21, as shown in drawing 3 (b), while using PEP technology and removing the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, the dummy electrodes 16 and 16 in --, and --, the mask 31 for forming the contact trench 13 is formed. If the doubling gap precision (0.2 micrometers) of i line is taken into consideration when the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, and -- set trench width of face (result width of face after forming gate oxide 15) to 0.8 micrometers at this time, the aperture width at the time of that PEP layout will be set to less than 0.3 micrometers.

[0041] And as shown in drawing 3 (c), using this mask 31, it etches by the RIE method etc. and patterning of the UDO film 21 is carried out.

[0042] Then, as shown in drawing 4 (a), while removing the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, the dummy electrodes 16 and 16 in --, and -- by the RIE method etc., using as a mask the UDO film 21 by which patterning was carried out above-mentioned], the above-mentioned contact trench 13 is formed in coincidence. The depth of the above-mentioned contact trench 13 at this time is n+. 11d of mold impurity ranges is penetrated, and it is p+ in p mold impurity range 11c. It is the depth which arrives at the mold impurity range 20.

[0043] In addition, supposing the etching rate of polish recon etches using the RIE system with which the etching rate of silicon is [micrometers / // 0.02] a second in 0.013micrometers /in a second so that it may become the depth whose contact trench 13 is 0.5 micrometers temporarily, the above-mentioned gate trenches 12 and 12, -- and the trenches 14 and 14 for drawers of the above-mentioned gate, and -- will be etched in a depth of 0.77 micrometers.

[0044] Subsequently, as shown in drawing 4 (b), the TiN film used as the barrier metal film 17 is formed in the whole surface by methods, such as a spatter.

[0045] Then, as shown in drawing 4 (c), the tungsten film (W film) 32 is formed on the barrier metal film 17, and the inside of the above-mentioned gate trenches 12 and 12, --, the above-mentioned contact trench 13 and the trenches 14 and 14 for drawers of the above-mentioned gate, and -- is embedded at coincidence, respectively.

[0046] Next, after performing formation of the mask by PEP technology, rear-face exfoliation, and removal of a resist to the rear-face side of the semiconductor substrate 11, respectively, as shown in drawing 5 (a) Using the CMP method, the RIE method, etc., whole surface etchback of the above-mentioned W film 32 and the above-mentioned barrier metal film 17 is carried out, and the above-mentioned trench gate electrodes 18 and 18, --, the above-mentioned contact electrode 19 and the above-mentioned gate drawer electrodes 18 and 18 which are not illustrated, and -- are formed, respectively.

[0047] Subsequently, after making the UDO film 22 deposit on the whole surface, the mask for forming the contact hole connected with the contact hole and the above-mentioned gate drawer electrode 18 which are connected with the above-mentioned contact electrode 19 using PEP technology is formed.

[0048] and it is shown in drawing 5 (b) -- as -- the mask -- following -- the above-mentioned UDO film 22 -- Round CDE (Chemical Dry Etching) -- it etches by law, the RIE method, etc. and the contact hole (not shown) connected with the contact hole 33 and the above-mentioned gate drawer electrode 18 which are connected with the above-mentioned contact electrode 19 is formed.

[0049] Subsequently, after making aluminum film deposit on the above-mentioned UDO film 22, a mask is formed using PEP technology. And while etching aluminum film according to the mask and forming the above-mentioned source electrode 23 and the above-mentioned gate electrode 24, aluminum layer etc. is formed in the rear face of the above-mentioned substrate 11, and the drain electrode 25 is formed.

[0050] Finally, sinter processing is performed at the temperature of 450 degrees C, and U-MOSFET as shown in drawing 1 is completed.

[0051] According to such a configuration, after forming a tungsten film, the production process which performs elevated-temperature heat treatment of sinter processing of 450 degrees C or more does not exist. Therefore, it becomes possible to prevent change of the stress by the heat of a tungsten film, and diffusion of the tungsten film in the silicon section.

[0052] It enables it to avoid like the heat process after embedding a tungsten film, as described above.

[0053] That is, before embedding a tungsten film in a gate trench, it is made to carry out elevated-temperature heat treatment processes, such as getter processing and annealing. It can prevent now that the membranous quality of a tungsten film changes and membranous stress changes by this. Therefore, as a result of becoming possible to prevent a tungsten film contracting, when reducing gate resistance by the tungsten gate and aiming at improvement in a switching characteristic, it can stop that a crevice occurs or a tungsten film separates in a trench.

[0054] Also when an elevated-temperature heat treatment process is made to be carried out before embedding a tungsten film in a gate trench especially, the routing counter of PEP is the same routing counter as the present manufacture process, and the routing counter of PEP does not increase it.

[0055] In addition, in 1 operation gestalt of above-mentioned this invention, although the tungsten gate was explained to the example, not only as this but as for example, a low melting point metal, a kappa (Cu) film, aluminum film, etc. can also be used besides a tungsten film.

[0056] Moreover, it is also possible to use a SiN film as a dummy electrode material, and what is necessary is just made to carry out the reconstitution of the gate trench by wet etching in that case.

[0057] Furthermore, it is applicable not only to U-MOSFET but U-IGBT which comes to use the silicon substrate (the 1st semiconductor region of the 2nd conductivity type) of p mold.

[0058] In addition, of course in the range which does not change the summary of this invention, deformation implementation is variously possible.

[0059]

[Effect of the Invention] As mentioned above, suppressing generating of a crevice etc. according to this invention, as explained in full detail, gate resistance can be reduced and the semiconductor device which can aim at improvement in a switching characteristic, and its manufacture method can be offered.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The schematic diagram showing the example of 1 configuration of U-MOSFET concerning 1 operation gestalt of this invention.

[Drawing 2] The outline cross section of U-MOSFET similarly shown in order to explain a manufacture process.

[Drawing 3] The outline cross section of U-MOSFET similarly shown in order to explain a manufacture process.

[Drawing 4] The outline cross section of U-MOSFET similarly shown in order to explain a manufacture process.

[Drawing 5] The outline cross section of U-MOSFET similarly shown in order to explain a manufacture process.

[Drawing 6] The outline cross section showing the important section (tungsten gate) of the configuration of U-MOSFET in order to explain the conventional technology and its trouble.

[Drawing 7] The microphotography in which an example of change by the heat of the membraneous quality of a tungsten film is similarly shown.

[Drawing 8] The schematic diagram showing the stress (stress) heat history of a tungsten film similarly.

[Description of Notations]

11 -- Semiconductor substrate

11a--n+ Silicon substrate of a mold

11 b--n - Epitaxial layer of a mold

Eleven c--p mold impurity range

11d--n+ Mold impurity range

12 -- Gate trench

13 -- Contact trench

14 -- Trench for drawers of the gate

15 -- Gate oxide

16 -- Dummy electrode

17 -- Barrier metal film

18 -- Trench gate electrode (gate drawer electrode)

19 -- Contact electrode

20 -- p+ Mold impurity range

21 22 -- UDO film

23 -- Source electrode

24 -- Gate electrode

25 -- Drain electrode

31 -- Mask

32 -- Tungsten film

33 -- Contact hole

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-284587

(P2001-284587A)

(43)公開日 平成13年10月12日(2001.10.12)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル*(参考)
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 A
	6 5 2		6 5 2 K
	6 5 5		6 5 5 A
21/336			6 5 8 F

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21)出願番号 特願2000-89736(P2000-89736)

(22)出願日 平成12年3月28日(2000.3.28)

(71)出願人 591148347

加賀東芝エレクトロニクス株式会社

石川県能美郡辰口町岩内1番地1

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 金丸 恭弘

石川県能美郡辰口町岩内1番地1 加賀東

芝エレクトロニクス株式会社内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

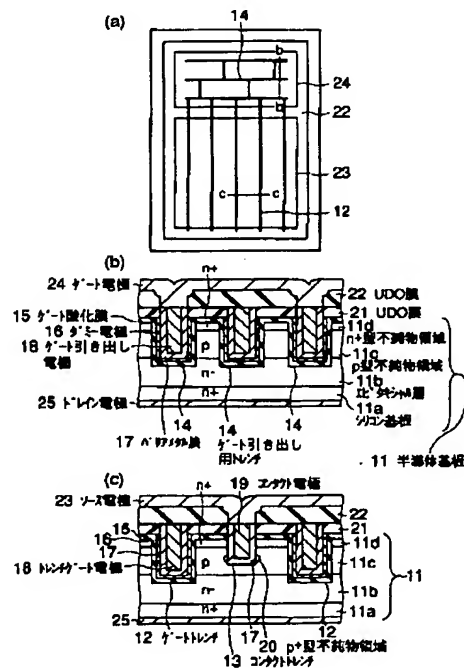
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】本発明は、U-MOSFETにおいて、タングステンゲートを採用できるようにすることを最も主要な特徴としている。

【解決手段】たとえば、ゲートトレンチ12内にポリシリコンを埋め込んでダミー電極16を形成した後、ゲッター処理などの高温熱処理工程を実施する。この後、ゲートトレンチ12内のポリシリコンを除去し、再度、ゲートトレンチ12内にタングステン膜を埋め込んでトレンチゲート電極18を形成する。こうすることで、熱によるタングステン膜の収縮を抑え、トレンチ12内に隙間ができるのを防ぐ構成となっている。



【特許請求の範囲】

【請求項 1】 第 1 の半導体領域と、

この第 1 の半導体領域の一主面に形成され、前記第 1 の半導体領域よりも不純物濃度が低い第 1 導電型の第 2 の半導体領域と、

この第 2 の半導体領域上に形成された第 2 導電型の第 3 の半導体領域と、

この第 3 の半導体領域の表面領域に形成され、前記第 2 の半導体領域よりも不純物濃度が高い第 1 導電型の第 4 の半導体領域と、

前記第 4 および第 3 の半導体領域を貫通し、前記第 2 の半導体領域に達する深さを有して形成された複数のトレンチゲート用溝部と、

それぞれの、前記トレンチゲート用溝部の内面に沿って形成されたゲート絶縁膜と、

このゲート絶縁膜を介して、前記トレンチゲート用溝部に低融点金属を埋め込んでなるゲート電極とを具備してなることを特徴とする半導体装置。

【請求項 2】 前記第 1 の半導体領域は、第 1 導電型の半導体領域からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の半導体領域は、第 2 導電型の半導体領域からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記ゲート電極間に対応する、前記第 4 の半導体領域を貫通し、前記第 3 の半導体領域に達する深さを有して形成されたトレンチコンタクト用溝部と、このトレンチコンタクト用溝部に埋め込まれたコンタクト電極とをさらに具備してなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記ゲート絶縁膜と前記ゲート電極との間には、少なくともダミー電極材料が設けられてなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記低融点金属には、タングステン膜、アルミニウム膜、銅膜のいずれかが用いられることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記ダミー電極材料としては、ポリシリコンまたは SiN 膜が用いられることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 トレンチ内に、ゲート絶縁膜を介してダミー電極材料を埋め込む工程と、

高温熱処理を行った後に、前記トレンチ内に埋め込まれた前記ダミー電極材料を除去する工程と、

前記ダミー電極材料が除去された前記トレンチ内に低融点金属を埋め込んで、ゲート電極を形成する工程とを備えてなることを特徴とする半導体装置の製造方法。

【請求項 9】 第 1 の半導体領域の一主面に、前記第 1 の半導体領域よりも不純物濃度が低い第 1 導電型の第 2 の半導体領域が形成され、この第 2 の半導体領域上に第 2 導電型の第 3 の半導体領域が形成され、この第 3 の半

導体領域の表面領域に、前記第 2 の半導体領域よりも不純物濃度が高い第 1 導電型の第 4 の半導体領域が形成されてなる基板に対し、

前記第 4 および第 3 の半導体領域を貫通し、前記第 2 の半導体領域に達する深さを有して複数のトレンチゲート用溝部を形成する工程と、

それぞれの、前記トレンチゲート用溝部の内面に沿って形成されたゲート絶縁膜を介して、前記トレンチゲート用溝部にダミー電極材料を埋め込む工程と、前記基板

10 に対し、高温熱処理を施す工程と、

前記トレンチゲート用溝部に埋め込まれた前記ダミー電極材料を除去する工程と、

前記ダミー電極材料が除去された前記トレンチゲート用溝部に、低融点金属を埋め込んでゲート電極を形成する工程とを備えてなることを特徴とする半導体装置の製造方法。

【請求項 10】 前記トレンチゲート用溝部を形成する工程の前に、前記第 3 の半導体領域内に、前記第 3 の半導体領域よりも不純物濃度が高い第 2 導電型の第 5 の半導体領域を形成する工程と、

前記第 4 の半導体領域を貫通し、前記第 3 の半導体領域内の、前記第 5 の半導体領域に達する深さを有してトレンチコンタクト用溝部を形成する工程と、

このトレンチコンタクト用溝部に前記低融点金属を埋め込んでコンタクト電極を形成する工程とをさらに具備してなることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記トレンチコンタクト用溝部を形成する工程は、前記ゲート電極間に対し、前記トレンチゲート用溝部に埋め込まれた前記ダミー電極材料を除去する工程と同時に進行することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記トレンチコンタクト用溝部内および前記トレンチゲート用溝部に前記低融点金属を埋め込む前に、バリアメタル膜を形成する工程をさらに備え、

前記低融点金属の埋め込みは、前記トレンチコンタクト用溝部内および前記トレンチゲート用溝部内に対して同時に行われることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 13】 前記低融点金属には、タングステン膜、アルミニウム膜、銅膜のいずれかが用いられることを特徴とする請求項 8 または 9 に記載の半導体装置の製造方法。

【請求項 14】 前記ダミー電極材料としては、ポリシリコンまたは SiN 膜が用いられることを特徴とする請求項 8 または 9 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関するもので、特に、第3世代のトレンチゲート型MOSFET(U-MOSFET)やトレンチゲート型IGBT(U-IGBT)に関する。

【0002】

【従来の技術】近年、パワーMOSFETは、市場からさらなる小型化、省エネルギー化、低価格化などが求められている。このような要求に対応するため、第3世代のU-MOSFETの開発が行われている。

【0003】この第3世代のU-MOSFETにおいて、従来から用いられているリンドープポリシリコンに代え、トレンチゲートの電極材料にメタルを用いることによって、ゲート抵抗の低減によるスイッチング特性の向上を図る研究が進められている。

【0004】図6は、U-MOSFETのトレンチゲートの電極材料として、タングステン(W)を用いた場合を例に示すものである。

【0005】この場合、たとえば図6(a)に示すように、半導体基板101の主表面には、ゲートトレンチ102、102が形成されている。上記基板101は、n⁺型のシリコン基板101a上にn⁻型のエピタキシャル層101bが形成され、このエピタキシャル層101bにp型不純物領域(pベース領域)101cとn⁺型不純物領域(n⁺ソース領域)101dとが設けられた構造になっている。

【0006】上記ゲートトレンチ102、102は、上記基板101の主表面からエピタキシャル層101bに達する深さで形成されている。上記ゲートトレンチ102、102内の、上記基板101の表面にはゲート酸化膜103、103が形成され、これらゲート酸化膜103、103(必要に応じて、さらに、チタン(Ti)膜/チタンナイトライド(TiN)膜)を介して、上記ゲートトレンチ102、102内にはタングステン膜からなるトレンチゲート電極(タングステンゲート)104、104が埋め込まれている。

【0007】しかしながら、タングステン膜は、たとえば図7に示すように、熱を加えることによってグレインが変化するという性質がある。

【0008】図8は、900℃の温度で、30分間、タングステン膜を加熱した際の応力熱履歴(ストレス測定結果)を示すものである。

【0009】このように、タングステン膜は加熱により膜のストレスが変化し、収縮することがわかる(温度が下がっても、元の状態には戻らない)。

【0010】そのため、たとえば、トレンチゲートの電極材料にリンドープポリシリコン(成膜温度560℃)を用いる現行の製造プロセスを適用して、タングステンゲート104、104を形成しようとする、タングステン膜はGetter処理(900~950℃)などの熱工程による影響をもろに受けることになる。

【0011】その結果、たとえば図6(b)に示すように、タングステン膜が収縮して、ゲートトレンチ102、102内に隙間105を生じたり、図示していない層間絶縁膜となるUDO(Un Doped Oxide)膜とのストレス差が大きくなって、タングステン膜が剥がれたりする。

【0012】すなわち、現行の製造プロセスにおいては、タングステン膜を埋め込んだ後にGetter処理などを行うため、タングステン膜に対して必ず800℃以上の高温熱処理工程が行われることになる結果、トレンチの内部に隙間ができるなどの問題があった。

【0013】

【発明が解決しようとする課題】上記したように、従来においては、トレンチゲートの電極材料にメタルを用いることで、ゲート抵抗を低減し、スイッチング特性の向上を図ることができるものの、タングステン膜は熱が加えられると収縮するため、現行の製造プロセスを適用しようすると、ゲートトレンチ内に隙間が発生するなどの問題があった。

【0014】そこで、この発明は、隙間の発生などを抑えつつ、ゲート抵抗を低減でき、スイッチング特性の向上を図ることが可能な半導体装置およびその製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置においては、第1の半導体領域と、この第1の半導体領域の一主面に形成され、前記第1の半導体領域よりも不純物濃度が低い第1導電型の第2の半導体領域と、この第2の半導体領域上に形成された第2導電型の第3の半導体領域と、この第3の半導体領域の表面領域に形成され、前記第2の半導体領域よりも不純物濃度が高い第1導電型の第4の半導体領域と、前記第4および第3の半導体領域を貫通し、前記第2の半導体領域に達する深さを有して形成された複数のトレンチゲート用溝部と、それぞれの、前記トレンチゲート用溝部の内面に沿って形成されたゲート絶縁膜と、このゲート絶縁膜を介して、前記トレンチゲート用溝部内に低融点金属を埋め込んでなるゲート電極とを具備してなることを特徴とする。

【0016】また、この発明の半導体装置の製造方法においては、トレンチ内に、ゲート絶縁膜を介してダミー電極材料を埋め込む工程と、高温熱処理を行った後に、前記トレンチ内に埋め込まれた前記ダミー電極材料を除去する工程と、前記ダミー電極材料が除去された前記トレンチ内に低融点金属を埋め込んで、ゲート電極を形成する工程とを備えてなることを特徴とする。

【0017】さらに、この発明の半導体装置の製造方法においては、第1の半導体領域の一主面に、前記第1の半導体領域よりも不純物濃度が低い第1導電型の第2の半導体領域が形成され、この第2の半導体領域上に第2

導電型の第3の半導体領域が形成され、この第3の半導体領域の表面領域に、前記第2の半導体領域よりも不純物濃度が高い第1導電型の第4の半導体領域が形成されてなる基板に対し、前記第4および第3の半導体領域を貫通し、前記第2の半導体領域に達する深さを有して複数のトレンチゲート用溝部を形成する工程と、それぞれの、前記トレンチゲート用溝部の内面に沿って形成されたゲート絶縁膜を介して、前記トレンチゲート用溝部内にダミー電極材料を埋め込む工程と、前記基板に対し、高温熱処理を施す工程と、前記トレンチゲート用溝部内に埋め込まれた前記ダミー電極材料を除去する工程と、前記ダミー電極材料が除去された前記トレンチゲート用溝部内に、低融点金属を埋め込んでゲート電極を形成する工程とを備えてなることを特徴とする。

【0018】この発明の半導体装置およびその製造方法によれば、低融点金属を埋め込んだ後の熱工程を回避できるようになる。これにより、低融点金属が収縮したりするのを防ぐことが可能となるものである。

【0019】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0020】図1は、本発明の一実施形態にかかる、第3世代のトレンチゲート型MOSFET(U-MOSFET)の構成例を示すものである。なお、同図(a)はゲートトレンチを透視して示す概略平面図、同図(b)は図(a)のb-b線に沿う概略断面図、同図(c)は図(a)のc-c線に沿う概略断面図である。

【0021】このU-MOSFETは、半導体基板11の主表面に、ゲートトレンチ(トレンチゲート用溝部)12、12、…、コンタクトトレンチ(トレンチコンタクト用溝部)13、および、ゲートダイレクトコンタクト形状のゲートの引き出し用トレンチ14、14、…が形成され、上記ゲートトレンチ12、12、…内にゲート絶縁膜とゲート電極材料(タングステン膜)とが埋め込み形成されたトレンチゲート構造になっている。

【0022】上記基板11は、n+型のシリコン基板(第1導電型の第1の半導体領域)11a上にn-型のエピタキシャル層(第1導電型の第2の半導体領域)11bが形成され、このエピタキシャル層11bにpベース領域となるp型不純物領域(第2導電型の第3の半導体領域)11cとn+ソース領域となるn+型不純物領域(第1導電型の第4の半導体領域)11dとが形成された構造になっており、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…は上記エピタキシャル層11bに達する深さで形成されている。

【0023】上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…内の、上記基板11の表面には、ゲート酸化膜(ゲート絶縁膜)15、15、…が形成されている。また、これらゲ

ート酸化膜15、15、…を介して、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…内には、ポリシリコン(または、シリコンナイトライド(SiN)膜)からなるダミー電極16、16、…、TiN膜からなるバリアメタル膜17、17、…、および、タングステン(低融点金属)膜からなるタングステンゲートとしてのトレンチゲート電極(ゲート引き出し電極)18、18、…が埋め込まれている。

【0024】上記コンタクトトレンチ13は、上記ゲートトレンチ12、12、…間に、上記n+型不純物領域11dを貫通し、上記p型不純物領域11cに達する深さで形成されている。このコンタクトトレンチ13内には、TiN膜からなるバリアメタル膜17、および、タングステン(W)膜からなるコンタクト電極19が埋め込まれている。また、このコンタクトトレンチ13の底部付近には、コンタクト抵抗を低減するためのp+型不純物領域(第2導電型の第5の半導体領域)20が形成されている。

【0025】なお、上記コンタクトトレンチ13は、便宜上、図面には1つしか示していないが、たとえば、複数のコンタクトトレンチ13、13、…が各ゲートトレンチ12、12、…で挟まれた領域内にそれぞれ形成されている。

【0026】上記基板11の表面上には、上記ゲート酸化膜15を介して、層間絶縁膜としてのUDO膜21が形成されている。また、このUDO膜21の上面を含む、上記ゲートトレンチ12、12、…、上記コンタクトトレンチ13、および、上記ゲート引き出し用トレンチ14、14、…の各上部には、さらに、層間絶縁膜としてのUDO膜22が形成されている。

【0027】そして、上記UDO膜22上に、上記コンタクト電極19につながる、たとえば、アルミニウム(A1)層からなるソース電極(第1の電極)23が形成され、このソース電極23が、上記p+型不純物領域20を介して、上記p型不純物領域11cと電氣的に接続される。

【0028】また、上記UDO膜22上に、上記ゲート引き出し電極18、18、…につながる、たとえば、A1層からなるゲート電極24が形成され、このゲート電極24が、上記ゲート引き出し電極18、18、…を介して、上記トレンチゲート電極18、18、…と電氣的に接続される。

【0029】一方、上記シリコン基板11aの裏面側には、ドレイン電極(第2の電極)25が形成されている。

【0030】トレンチゲートにタングステンゲートを採用した本U-MOSFETの場合、従来のポリシリコンを用いるU-MOSFETに比べ、ゲート抵抗を1/5程度に低減でき、スイッチング特性(Toff)が約30

％も向上した。

【0031】次に、図2～図5を参照して、上記の図1に示した構成のU-MOSFETの製造方法について説明する。なお、図2～図5はそれぞれ図1(c)に対応するU-MOSFETの製造工程を示す断面図である。

【0032】まず、図2(a)に示すように、n+型のシリコン基板11a上にn-型のエピタキシャル層11bが形成された基板を用意し、この基板に対して、図示していないガードリングGRの形成を行った後、p型不純物のイオン注入を行ってp型不純物領域11cを形成する。

【0033】次いで、図示していないEQPR(Equivalent Potential Ring)の形成を行った後、さらに、上記p型不純物領域11cにn型不純物のイオン注入を行ってn+型不純物領域11dを形成し、これを半導体基板11とする。

【0034】そして、図2(b)に示すように、この半導体基板11に対して、p+型不純物領域20を形成するためのマスク(図示していない)を形成し、上記p型不純物領域11c内にp型不純物のイオン注入を行ってアニールし、p+型不純物領域20を形成する。

【0035】次に、図2(c)に示す如く、RIE(Reactive Ion Etching)法などにより、上記半導体基板11の主表面にゲートトレンチ12、12、…および図示していないゲートの引き出し用トレンチ14、14、…を形成する。この時の、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…の深さは、n+型不純物領域11dとp型不純物領域11cとを貫通し、エピタキシャル層11bに達する深さとする。

【0036】次いで、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…内を熱酸化して、ゲート酸化膜15、15、…を形成した後、全面にポリシリコン層を形成する。

【0037】そして、このポリシリコン層をRIE法などによりエッチバックして、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…内にのみ残存させ、ダミー電極16、16、…を形成する。

【0038】その後、図3(a)に示すように、CVD(Chemical Vapor Deposition)法などにより全面にUDO膜21およびBPSG(Boron-doped Phospho-Silicate Glass)膜/PSG(Phospho-Silicate Glass)膜(いずれも図示していない)を形成する。

【0039】次いで、900～950℃の温度で、ゲッターのための熱処理(ゲッター処理)を行う。

【0040】次に、図3(b)に示すように、このUDO膜21上に、PEP技術を用いて、上記ゲートトレン

チ12、12、…および上記ゲートの引き出し用トレンチ14、14、…内のダミー電極16、16、…を除去するとともに、コンタクトトレンチ13を形成するためのマスク31を形成する。この時、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…は、トレンチ幅(ゲート酸化膜15を形成した後の仕上がり幅)を0.8μmとした場合、i線の合わせずれ精度(0.2μm)を考慮すると、そのPEP設計時の開口幅は0.3μm以内となる。

【0041】そして、図3(c)に示すように、このマスク31を用いて、RIE法などによりエッチングを行って、UDO膜21をパターニングする。

【0042】この後、図4(a)に示す如く、上記パターニングされたUDO膜21をマスクとして用いて、RIE法などにより、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…内のダミー電極16、16、…を除去するとともに、上記コンタクトトレンチ13を同時に形成する。この時の、上記コンタクトトレンチ13の深さは、n+型不純物領域11dを貫通し、p型不純物領域11c内のp+型不純物領域20に達する深さである。

【0043】なお、ポリシリコンのエッチングレートが0.02μm/秒で、シリコンのエッチングレートが0.013μm/秒となっているRIE装置を用いて、仮に、コンタクトトレンチ13が0.5μmの深さとなるようにエッチングを行ったとすると、上記ゲートトレンチ12、12、…および上記ゲートの引き出し用トレンチ14、14、…は0.77μmの深さでエッチングされる。

【0044】次いで、図4(b)に示すように、全面にバリアメタル膜17となるTiN膜をスパッタなどの方法により形成する。

【0045】引き続き、図4(c)に示すように、そのバリアメタル膜17上にタングステン膜(W膜)32を形成し、上記ゲートトレンチ12、12、…、上記コンタクトトレンチ13、および、上記ゲートの引き出し用トレンチ14、14、…内をそれぞれ同時に埋め込む。

【0046】次に、半導体基板11の裏面側に対し、PEP技術によるマスクの形成、裏面剥離、レジストの除去をそれぞれ行った後、図5(a)に示すように、CMP法およびRIE法などを用いて、上記W膜32および上記バリアメタル膜17を全面エッチバックし、上記トレンチゲート電極18、18、…、上記コンタクト電極19、および、図示していない上記ゲート引き出し電極18、18、…をそれぞれ形成する。

【0047】次いで、全面にUDO膜22を堆積させた後、PEP技術を用いて、上記コンタクト電極19につながるコンタクト孔および上記ゲート引き出し電極18につながるコンタクト孔を形成するためのマスクを形成

する。

【0048】そして、図5(b)に示すように、そのマスクにしたがって上記UDO膜22をラウンドCDE (Chemical Dry Etching) 法やRIE法などによってエッチングし、上記コンタクト電極19につながるコンタクト孔33および上記ゲート引き出し電極18につながるコンタクト孔(図示していない)を形成する。

【0049】次いで、上記UDO膜22上にAl膜を堆積させた後、PEP技術を用いてマスクを形成する。そして、そのマスクにしたがってAl膜をエッチングして、上記ソース電極23および上記ゲート電極24を形成するとともに、上記基板11の裏面にAl層などを形成してドレイン電極25を形成する。

【0050】最後に、450℃の温度でシンター処理を行って、図1に示したようなU-MOSFETが完成する。

【0051】このような構成によれば、タングステン膜を形成した後は、シンター処理の450℃以上の高温熱処理を行う工程は存在しない。そのため、タングステン膜の熱によるストレスの変化やシリコン部でのタングステン膜の拡散を防止することが可能となる。

【0052】上記したように、タングステン膜を埋め込んだ後の熱工程を回避できるようにしている。

【0053】すなわち、ゲートトレンチ内にタングステン膜を埋め込む前に、ゲッター処理やアニールなどの高温熱処理工程を実施するようにしている。これにより、タングステン膜の膜質が変化して、膜のストレスが変化するのを防止できるようになる。したがって、タングステン膜が収縮するのを防ぐことが可能となる結果、タングステングートによりゲート抵抗を低減させて、スイッチング特性の向上を図る場合においても、トレンチ内に隙間が発生したり、タングステン膜が剥がれたりするのを抑えることができるものである。

【0054】特に、ゲートトレンチ内にタングステン膜を埋め込む前に、高温熱処理工程を実施するようにした場合にも、PEPの工程数は現行の製造プロセスと同様の工程数であり、PEPの工程数が増加することもない。

【0055】なお、上記した本発明の一実施形態においては、タングステングートを例に説明したが、これに限らず、たとえば低融点金属としてはタングステン膜のほかに銅(Cu)膜やAl膜などを用いることもできる。

【0056】また、ダミー電極材料としてはSiN膜を用いることも可能であり、その場合には、ウェットエッチングによってゲートトレンチを再形成するようにすれば良い。

【0057】さらに、U-MOSFETに限らず、p型

のシリコン基板(第2導電型の第1の半導体領域)を用いてなるU-IGBTにも適用できる。

【0058】その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0059】

【発明の効果】以上、詳述したようにこの発明によれば、隙間の発生などを抑えつつ、ゲート抵抗を低減でき、スイッチング特性の向上を図ることが可能な半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施形態にかかるU-MOSFETの一構成例を示す概略図。

【図2】同じく、製造プロセスを説明するために示すU-MOSFETの概略断面図。

【図3】同じく、製造プロセスを説明するために示すU-MOSFETの概略断面図。

【図4】同じく、製造プロセスを説明するために示すU-MOSFETの概略断面図。

【図5】同じく、製造プロセスを説明するために示すU-MOSFETの概略断面図。

【図6】従来技術とその問題点を説明するために、U-MOSFETの構成の要部(タングステングート)を示す概略断面図。

【図7】同じく、タングステン膜の膜質の熱による変化の一例を示す顕微鏡写真。

【図8】同じく、タングステン膜の応力(ストレス)熱履歴を示す概略図。

【符号の説明】

11…半導体基板

11a…n+型のシリコン基板

11b…n-型のエピタキシャル層

11c…p型不純物領域

11d…n+型不純物領域

12…ゲートトレンチ

13…コンタクトトレンチ

14…ゲートの引き出し用トレンチ

15…ゲート酸化膜

16…ダミー電極

17…バリアメタル膜

18…トレンチゲート電極(ゲート引き出し電極)

19…コンタクト電極

20…p+型不純物領域

21, 22…UDO膜

23…ソース電極

24…ゲート電極

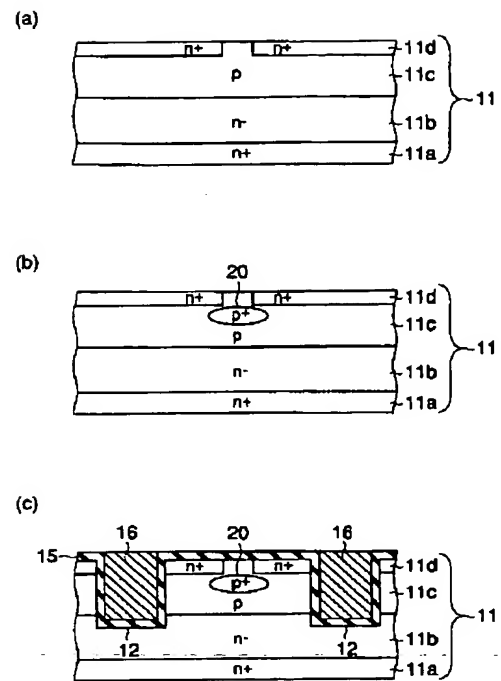
25…ドレイン電極

31…マスク

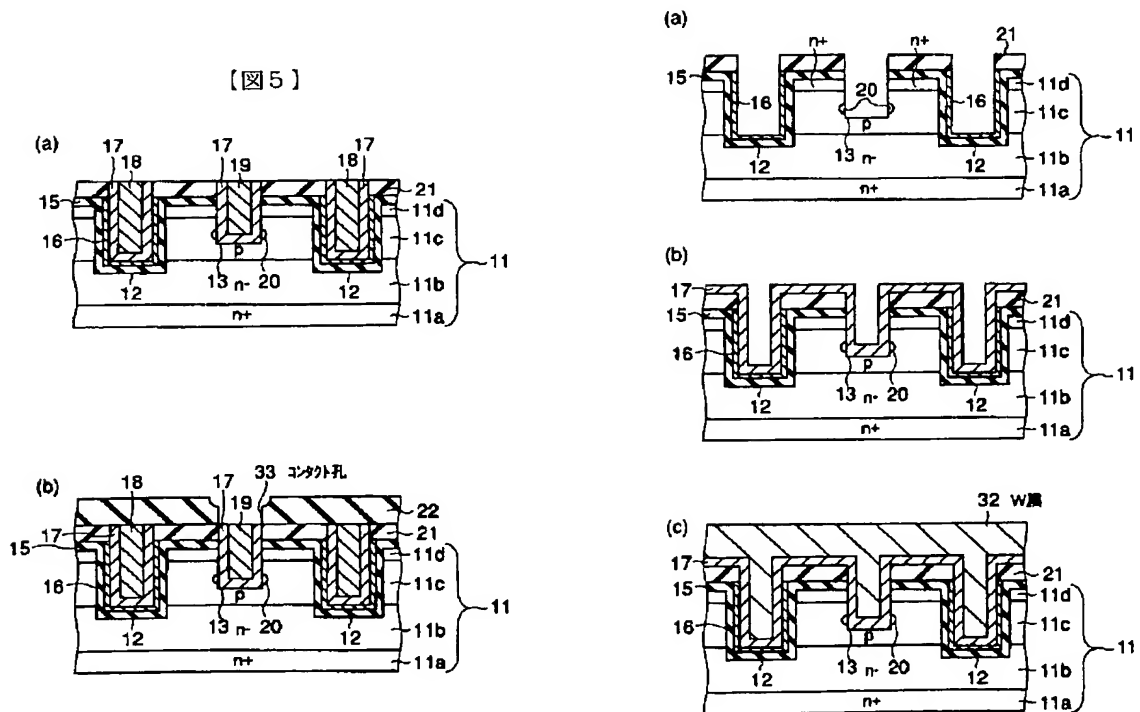
32…タングステン膜

33…コンタクト孔

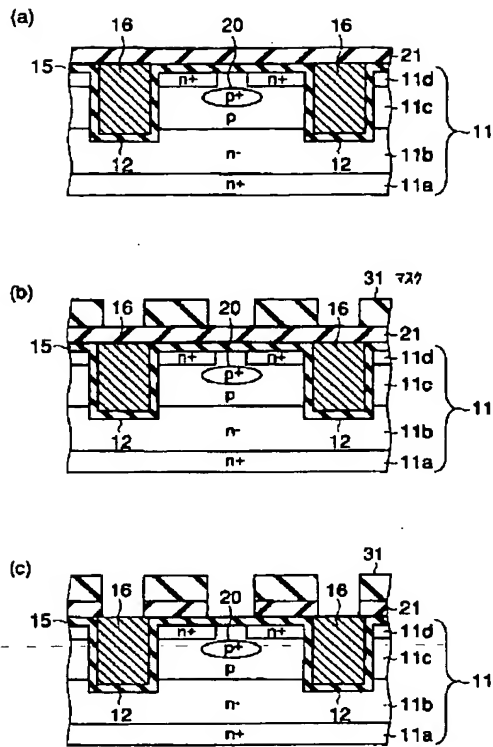
【圖 2】



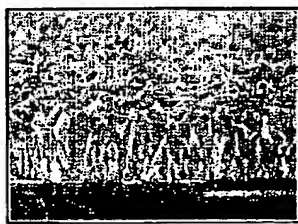
【圖4】



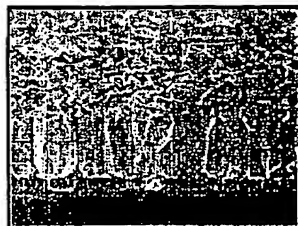
【図3】



【図7】

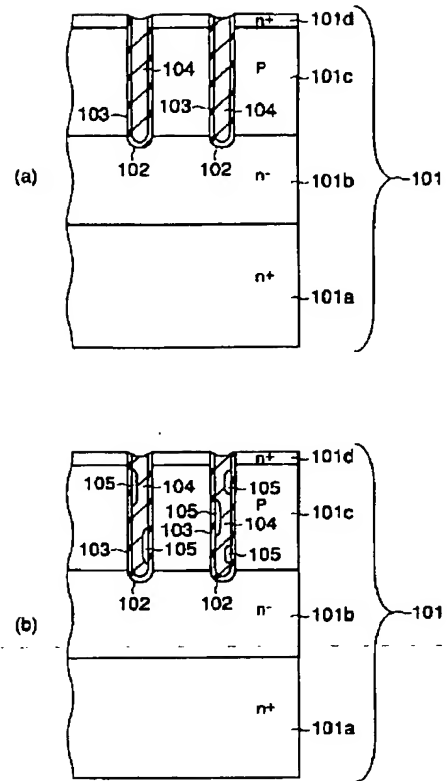


(a) アニール前

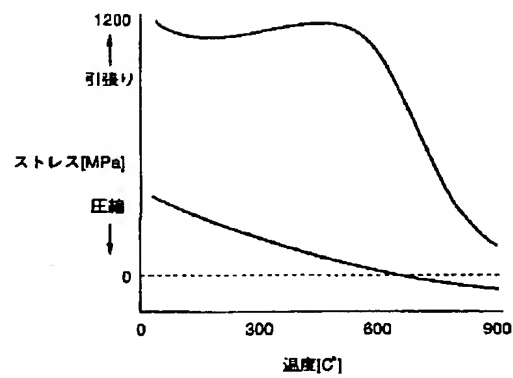


(b) アニール後

【図6】



【図8】



フロントページの続き

(72)発明者 柴田 浩延
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内